

(51) Int.Cl.⁸

識別記号

F I

H 0 4 L 7/033

H 0 4 L 7/02

B

H 0 3 L 7/06

H 0 3 L 7/06

B

審査請求 未請求 請求項の数1 F D (全 5 頁)

(21) 出願番号 特願平10-135990

(22) 出願日 平成10年(1998) 4月30日

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 小野 起寛

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

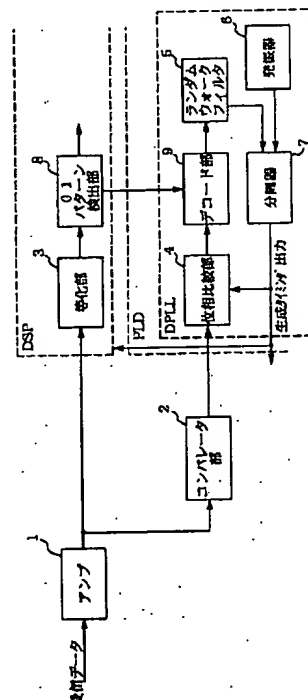
(74) 代理人 弁理士 鈴木 均

(54) 【発明の名称】 デジタル受信装置

(57) 【要約】

【課題】 ブリッジタップが伝送路に存在する場合でも連続して送信された波形のタイミングを正しく検出できるDPLL回路を提供する。

【解決手段】 デジタル信号処理部にデジタル信号の立ち上がりを識別する立ち上がり検出部8と、DPLL回路に前記立ち上がり検出部8で識別された立ち上がり信号を識別した時だけ信号をカウンタ5に出力する信号識別部9を有することを特徴とし、等化で使用しているDSPで「01」のパターンを検出した時にその事をDPLL回路に伝えてやり、その「01」パターンの「1」の時だけ位相比較を行うようにして、正しい立ち上がりタイミングの時だけDPLLを動作させるようにし、より正確な、揺れの少ないタイミング信号を生成することが出来た。



【特許請求の範囲】

【請求項1】 受信データを信号処理するデジタル信号処理部と受信データから受信側のビット同期を得るデジタルPLL回路を有するデジタル受信装置において、前記デジタル信号処理部にデジタル信号の立ち上がりを識別する立ち上がり検出部と、前記デジタルPLL回路に前記立ち上がり検出部で識別された立ち上がり信号を識別した時だけ信号をカウンタに出力する信号識別部を有することを特徴とするデジタル受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、受信したデジタル信号からビット同期を得るためのデジタルPLL回路を用いたデジタル受信装置に関し、更に詳しくは、デジタル受信装置の伝送路にブリッジタップ等からの反射波がある場合でもデジタルPLL回路の収束を安定させることができるデジタル受信装置に関する。

【0002】

【従来の技術】従来のデジタル受信装置におけるデジタルPLL回路について、図2の従来のデジタル受信装置の入力段のブロック構成図を用いて説明する。図2に示すように、従来のデジタル受信装置におけるデジタルPLL回路(DPLL)は、位相比較部4、ランダムウォークフィルタ5、発振器6、及び、分周器7により構成されており、コンパレータ部2から前記位相比較部4の一方の入力端子に入力された信号に基づき生成したタイミング信号を出力している。又、デジタル受信装置における受信データは、アンプ1で増幅された後に、デジタル信号処理部DSPと、コンパレータ部2とに供給され、コンパレータ部2の出力がデジタルPLL回路に入力される。尚、図2では、デジタルPLL回路(DPLL)はデジタル回路(PLD)の一部として構成されている。従来のDPLLでは、コンパレータ部2から受信信号の立ち上がりタイミング信号を受け取ると、位相比較部4においてDPLL内で生成されたタイミング信号と位相比較し、その比較結果、即ち、生成されたタイミング信号が、受信データの信号より進んでいるか遅れているかの判定結果を位相比較部4から出力する。その出力された判定結果はランダムウォークフィルタ5に入力される。ランダムウォークフィルタ5とは、「±N」段のアップダウンカウンタのことであり、「0」からカウントをスタートし、位相比較部4からの比較結果の入力(生成タイミング信号が進んでいるか遅れているかの判定結果)によってカウントアップしたり、カウントダウンしたりする。そして、そのカウントアップ又はカウントダウンされた結果が「+N」または「-N」に達した時に、分周器7に対して生成されるタイミング信号の位相を進ませるか遅らせるかの指示となる信号を出力する。分周器7では、ランダムウォークフィルタ5からの指示信号に従って、発振器6からのクロック信号の分周

比を変化させることにより、コンパレータ部2からの信号と同じ位相となるよう生成されるタイミング信号の位相を進ませたり遅らせたりする。

【0003】ところが、従来のDPLLにおいて、コンパレータ部2から出力されるタイミング信号の全てに対して位相比較部4で位相比較を実施すると、受信データの伝送路にブリッジタップが存在する場合等には、そのブリッジタップ等による受信データの反射波により受信データが変化して、位相の収束位置が安定しなくなる場合があるという欠点があった。その位相の収束位置が安定しなくなる場合について図3を用いて説明する。ここで、ブリッジタップとは将来の加入者の増加に備えて伝送路上に枝分かれ状にあるタップのことで、受信装置で信号を受信すると、主信号と終端されていないブリッジタップで生じた反射波が重なりあって、本来受信すべき受信波形とは違った波形を受信してしまう。図3は、「1」を連続して「1、1」とAMI信号を受信した様子を、伝送路にブリッジタップがある場合と無い場合について、その受信波形とコンパレータ出力波形を示している。受信波形については、図3の「F1. 受信波形の各成分」の波形1がブリッジタップが無い場合の本来の受信波形であり、波形2はブリッジタップに反射して受信された受信波形である。これら2つの波形が合成されて「F2. 実際の受信波形」となる。コンパレータ出力波形については、本来ならF1. 受信波形の各成分」に示したように波形1だけを受信する筈なので「F3. ブリッジタップが無い場合のコンパレータ出力波形」の様にp点、q点が立ち上がりのタイミング位置としてDPLLの位相比較部4に渡されるはずである。しかし、実際には、「F2. 実際の受信波形」がコンパレータに入力されるのでDPLLの位相比較部4に渡される立ち上がりタイミングは「F4. 実際のコンパレータ出力波形」のp点と、r点ということになる。これはブリッジタップでの反射波が本来の信号よりも遅れて到達するため、受信側では直達波の波形1に波形2が加算されることによって、波形1が形を変えてしまった結果、正確な立ち上がり位置(ユニポーラ信号に変換する前のAMI信号でいうと立ち下がり)を検出できなくなってしまったためである。

【0004】

【発明が解決しようとする課題】しかしながら、上記の図3に示すようなコンパレータ出力波形をそのまま図2の従来のデジタル受信装置のDPLLで位相比較する場合、ブリッジタップが存在する伝送路にAMI信号が送られ、受信側ではその立ち上がり(立ち下がり)を検出して受信信号のタイミングを取ろうとするので、ブリッジタップでの反射波によって、連続して送信された波形の2つめ以降の立ち上がり(立ち下がり)タイミングを正しく検出できなくなってしまう。すると、それによってデジタル受信装置内のDPLLが誤動作をしてしまう

ことがある。その場合には、多少のタイミングのズレはランダムウォークフィルタで吸収されるが、このズレが大きくなると、正確な生成タイミングが生成できないため同期がとれず受信データを再生できなくなるという問題があった。本発明は、上記の問題に鑑みて、ブリッジタップが伝送路に存在する場合でも連続して送信された波形のタイミングを正しく検出できるDPLL回路を提供することを目的とする。

【0005】

【課題を解決するための手段】上記した課題を解決するために、本発明のデジタル受信装置では、受信データを信号処理するデジタル信号処理部と受信データから受信側のビット同期を得るデジタルPLL回路を有するデジタル受信装置において、前記デジタル信号処理部にデジタル信号の立ち上がりを識別する立ち上がり検出部と、前記デジタルPLL回路に前記立ち上がり検出部で識別された立ち上がり信号を識別した時だけ信号をカウンタに出力する信号識別部を有することを特徴とする。本発明のデジタル受信装置においては、ブリッジタップによる反射波形が1タイムスロットまでしか影響は大きくなく、2タイムスロット以降は殆ど0に近くなってしまうことから、等化に使用しているDSPにより「01」のパターンを見つけて、それを検出したという事をDPLLに伝えてやり、その「01」パターンの「1」の時だけ位相比較を行うようにすることにより、正しい立ち上がりタイミングの時だけDPLLを動作させるようにした。従って、本発明のDPLLは、より正確な、揺れの少ないタイミング信号を生成することが出来る。

【0006】

【発明の実施の形態】以下、本発明を図示した実施形態に基づいて説明する。図1は、本発明によるデジタル受信装置の位置実施形態の構成を示すブロック図である。図1のデジタル受信装置におけるデジタルPLL(DPLL)は、図3に示した従来のデジタル受信装置にデコード部9が追加された構成であり、位相比較部4、デコード部9、ランダムウォークフィルタ5、発振器6、分周器7で構成され、コンパレータ部2からの信号が入力されると生成されるタイミング信号を出力している。又、デジタル受信装置における受信データは、アンプ1で増幅された後に、デジタル信号処理部DSPと、コンパレータ部2を介してデジタルPLL回路(DPLL)に入力され、デジタルPLL回路(DPLL)はデジタル回路(PLD)の一部として構成されている。本実施形態のデジタル信号処理部には、DSPにおける等化部3の後段、即ち、アンプ1からの増幅された受信データが等化部で等化されたデジタル信号の立ち上がりを識別するための立ち上がり検出部として、01パターン検出部8が配設されている。この01パターン検出部8では、等化された信号から「01」パターンの立ち上がりだけを検出して、立ち下りの「10」パターンや「0

0」、「11」といった変化の無い場合の検出は行わず、「01」の立ち上がりを検出した時のみデコード部9に検出信号を出力する。

【0007】本実施形態のDPLL内の位相比較部4において、コンパレータ部2から受信信号の立ち上がりタイミング信号を受け取ると、DPLL内の発振器6と分周器7で生成されたタイミング信号と位相比較し、その比較結果、即ち、生成されたタイミング信号は、コンパレータ部2から受ける受信データの信号より進んでいるか遅れているかの判定結果を位相比較部4から出力する。これについては従来と同様であるが、本実施形態においては、位相比較部4から出力された判定結果は、従来技術とは異なりデコード部9に入力される。このデコード部9は、コンパレータ部2から出力される信号を受けて、DPLL回路において01パターン検出部8で立ち上がり信号を検出した時だけ、位相比較部4からの信号をカウンタであるランダムウォークフィルタ5に出力する信号識別部である。ランダムウォークフィルタ5に入力された信号は、従来技術と同様に、「±N」段のアップダウンカウンタで、「0」からカウントをスタートし、デコード部9で選択された位相比較部4からの比較結果の入力(生成タイミング信号が進んでいるか遅れているかの判定結果)によってカウントアップしたり、カウントダウンしたりする。そして、そのカウントアップ又はカウントダウンされた結果が「+N」または「-N」に達した時に、分周器7に対して生成されるタイミング信号の位相を進ませるか遅らせるかの指示となる信号を出力する。分周器7では、ランダムウォークフィルタ5からの指示信号に従って、発振器6からのクロック信号の分周比を変化させ、生成されるタイミング信号の位相を進ませたり遅らせたりする。

【0008】本実施形態では、従来技術においては受信信号の立ち上がり時も立ち下り時もランダムウォークフィルタに入力されていたのを、上記した01パターン検出部8とデコード部9により、立ち上がり時のみの位相比較部4の出力結果をランダムウォークフィルタ5に入力させるようにした。従って、PLD内のDPLL部における、受信信号の立ち上がりタイミング信号を受け取り、位相比較部でDPLLが内部で生成し出力しているタイミング信号と位相比較をするところまでは、従来技術と同じである。ここで、DSPでは、PLDのDPLLよりタイムスロットのタイミングと、受信信号をサンプルするために上記したタイムスロットのタイミングの4倍以上のオーバーサンプリングのサンプルタイミングを受け取っている。このオーバーサンプリングのサンプルタイミングを用いて、01パターン検出部8において受信信号として「0」の後に「1」が到来するような信号は識別できるので、そのパターンを見つけた時のみ、「01」パターンが検出されたことをPLD(DPLL)のデコード部9に通知する。そして、その通知信

号を受け取ったPLDのデコード部9においては受信データ信号の立ち上がり時であることを認識し、その時だけ位相比较部4での位相比较結果がデコード部9を通してランダムウォークフィルタ5に入力されるようにする。上記のように構成して動作させることにより、図3のF2波形が連続して受信された場合に、誤った受信信号立ち上がり位相を入力してしまうという誤りを防ぐことが出来る。

【0009】

【発明の効果】本発明により、等化で使用しているDSPを用いて受信信号から「01」のパターンを見つけ、それを検出したという事をDPLLに伝えてやり、その「01」パターンの「1」の時だけ位相比较を行うようにして、正しい立ち上がりタイミングの時だけDPLLを動作させるようにしたので、より正確な、揺れの少ないタイミング信号を生成することが出来た。

【図面の簡単な説明】

【図1】本発明のDPLLのブロック図である。

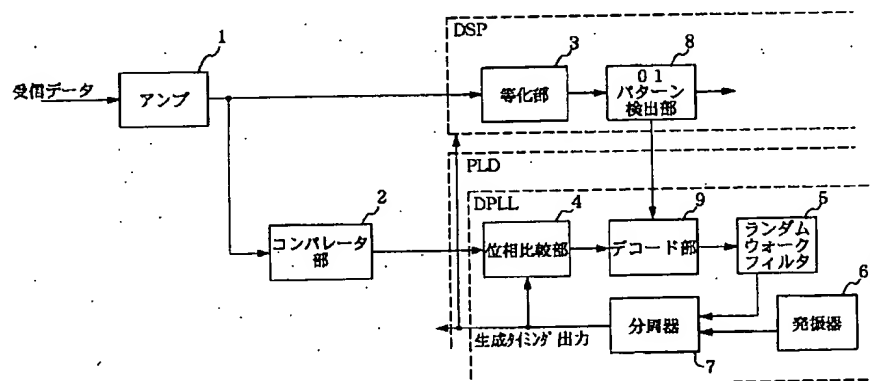
【図2】従来のDPLLのブロック図である。

【図3】伝送路にブリッジタップでの反射がある場合と無い場合でコンパレータの出力波形の違いを示した波形図である。

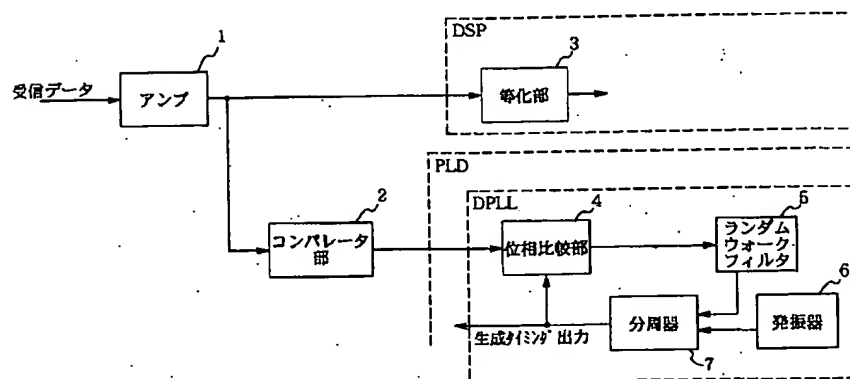
【符号の説明】

1…アンプ、2…コンパレータ部、3…等化部、4…位相比较部、5…ランダムウォークフィルタ、6…発振器、7…分周器、8…01パターン検出部、9…デコード部、F1…実際の受信波形の各成分、F2…実際の受信波形、F3…ブリッジアップが無い場合のコンパレータ出力波形、F4…実際のコンパレータ出力波形、波形1…ブリッジアップが無い場合の受信波形、波形2…ブリッジアップによる反射波形、p…11パターンの前者の1でのコンパレータ出力波形の立ち上がり（正しい）、q…ブリッジアップ無い場合の11パターンの後者の1でのコンパレータ出力波形の立ち上がり（正しい）、r…ブリッジアップある場合の（実際の）11パターンの後者の1でのコンパレータ出力波形の立ち上がり（誤っている）

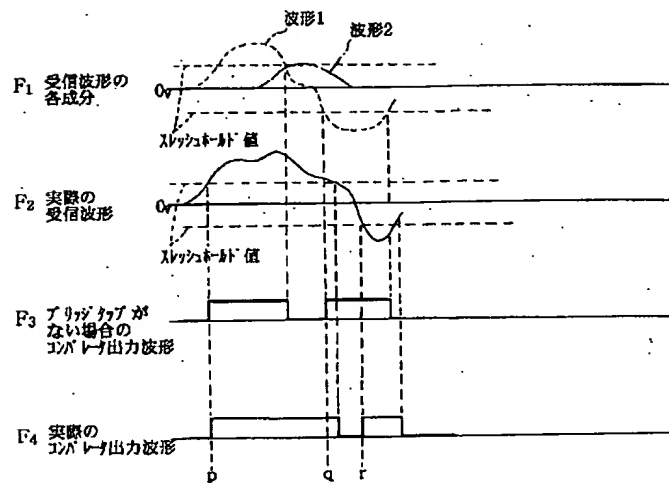
【図1】



【図2】



【図3】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317730

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H04L 7/033

H03L 7/06

(21)Application number : 10-135990

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 30.04.1998

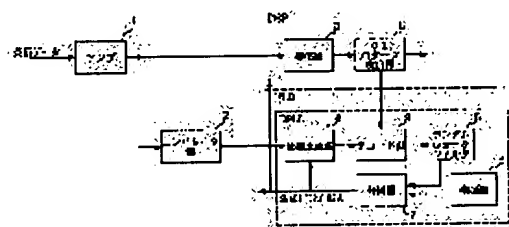
(72)Inventor : ONO OKIHIRO

(54) DIGITAL RECEIVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DPLL circuit which can correctly detect the timing of a successively transmitted waveform even if a bridge tap is present on a transmission line.

SOLUTION: This digital receiving device, characterized by that a digital signal processing part has a rise detection part 8 which discriminates a rise of a digital signal and a DPLL circuit has a signal discrimination part 9 which outputs a signal to a counter 5 only when discriminating the rise signal discriminated by the rise detection part 8, informs the DPLL circuit that a pattern '01' is detected by a DSP used for equalization in such a case and makes a phase comparison only when '1' of the pattern '01', and places the DPLL in operation only in correct rise timing, thereby generating an accurate small- fluctuation timing signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]